

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-160089
 (43)Date of publication of application : 25.06.1993

(51)Int.Cl.

H01L 21/304
 H01L 21/02
 H01L 21/316
 H01L 27/12

(21)Application number : 03-327188

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.12.1991

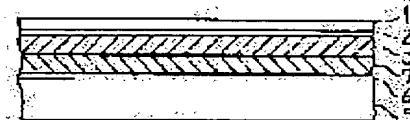
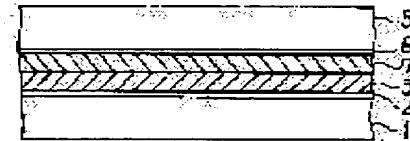
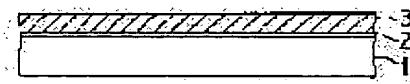
(72)Inventor : HORIE HIROSHI
 SUGIMOTO FUMITOSHI

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To protect an SOI layer of two silicon wafers pasted together against contamination caused by the diffusion of impurity from a substrate and to enhance two wafers in adhesion to each other by a method wherein the two wafers are pasted together at a low temperature.

CONSTITUTION: SiO₂ layers or BPSG layers 3 and 7 are formed on the surfaces of silicon wafers 1 and 5, and the surfaces of the BPSG layers 3 and 7 are polished and bonded together by thermocompression. BPSG layers 3 and 7 are used as layers interposed between two silicon wafers, whereby the silicon wafers can be bonded together at a low temperature of 900° C or so. The surface-polished BPSG layers 3 and 7 are thermally treated to be enhanced in surface smoothness and adhesive strength.



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-160089

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. ⁵	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/304	3 2 1 M	8831-4M		
21/02		B 8518-4M		
21/316		G 8518-4M		
27/12		Z 8728-4M		

審査請求 未請求 請求項の数4(全4頁)

(21)出願番号 特願平3-327188

(22)出願日 平成3年(1991)12月11日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者 堀江 博
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 杉本 文利
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人 弁理士 井桁 貞一

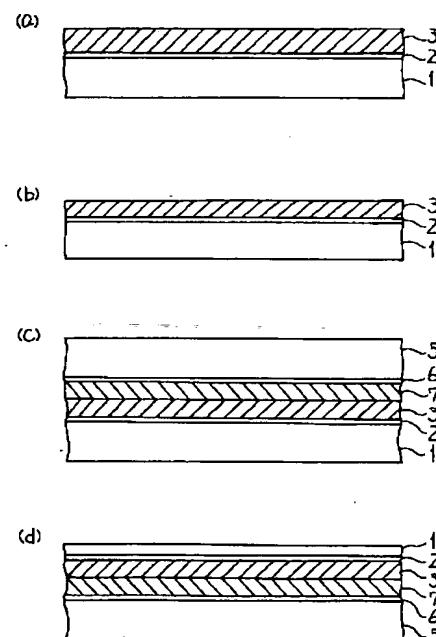
(54)【発明の名称】 半導体基板の製造方法

(57)【要約】

【目的】 二枚のシリコンウエハを張り合わせて成るSOI基板に関し、低温で張り合わせることにより、基板側からの不純物の拡散によるSOI層の汚染を防止するとともに両ウエハ間の接着強度を向上可能とする目的とする。

【構成】 少なくとも一方のシリコンウエハ表面にSiO₂層およびBPSG層を形成し、このBPSG層表面を研磨してから別のシリコンウエハと熱圧着する。両シリコンウエハ間の介在層としてBPSG層を用いることにより、900 °C程度の低温で張り合わせることが可能となる。熱圧着する前に、表面が研磨されたBPSG層を熱処理することにより表面の平滑性が向上し、さらに接着強度を高くめることができる。

本発明の一実施例の工程説明図



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 シリコンウエハの研磨された一表面上に熱酸化膜を形成する工程と、該熱酸化膜上に低融点ガラス層を堆積する工程と、該低融点ガラス層の表面を研磨する工程と、該研磨された低融点ガラス層を支持基板の研磨された一表面上に重ねあわせた状態で該シリコンウエハと支持基板とを熱圧着する工程と、相互に熱圧着された該シリコンウエハエハまたは該支持基板を所定の厚さになるまで研磨する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項2】 前記支持基板と熱圧着する工程に先立って、前記研磨された低融点ガラス層が軟化する温度で前記シリコンウエハを熱処理する工程をさらに含むことを特徴とする請求項1記載の半導体基板の製造方法。

【請求項3】 前記シリコンウエハと熱圧着する工程に先立って、前記支持基板の研磨された表面上に第2の低融点ガラス層を堆積する工程と、該第2の低融点ガラス層を研磨する工程とをさらに含むことを特徴とする請求項1記載の半導体基板の製造方法。

【請求項4】 前記シリコンウエハと熱圧着する工程に先立って、前記研磨された第2の低融点ガラス層が軟化する温度で前記支持基板を熱処理する工程とをさらに含むことを特徴とする請求項2または3記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は二枚のシリコンウエハを絶縁層を介して張り合わせて成るSOI(sili-con on insulator)構造の半導体基板、特に、低温での張り合わせ可能とする方法に関する。

【0002】

【従来の技術】 SOI基板は、半導体素子の寄生容量の低減やCMOSトランジスタにおけるラッチアップ現象を防止する上で有効であり、将来の高密度半導体集積回路の基板として有望視されており、その実用化が進められている。

【0003】 SOI基板を製造する方法の一つとして、二枚のシリコンウエハを絶縁層を介して張り合わせる方法がある。すなわち、少なくとも一方のシリコンウエハの研磨面に熱酸化膜を形成し、この熱酸化膜を間にして別のシリコンウエハの研磨面と重ねあわせたのち熱圧着する。充分な接着強度を得るために、1100°C程度の温度で前記熱圧着を行う必要がある。

【0004】

【発明が解決しようとする課題】 ところで、半導体集積回路の高密度化において要求されるMOSトランジスタの駆動能動の向上および短チャネル効果の防止に有効な方法として、いわゆるダブルゲート構造のMOSトランジ

タの開発が行われている。SOI基板を用いることによりダブルゲート構造を比較的容易に形成する方法が本発明者らにより提案されている(Extended Abstract of the 1991 International Conference on SolidState Devices and Materials, Yokohama, 1991, pp. 165-167)。

【0005】 この方法は、バックゲートを一方のシリコンウエハに形成したのち、このウエハを支持基板となるシリコンウエハと熱圧着するものであり、両シリコンウエハをBPSG(硼矽酸ガラス)層を介して張り合わせ、950°Cで熱圧着を行うことにより、バックゲートにドープした硼素(B)等の不純物がチャネル領域に拡散するのを防止している。しかしながら、このような低温熱圧着により張り合わせたシリコンウエハ間の接着強度が必ずしも充分でない問題があった。

【0006】 本発明は、上記BPSGのような低融点ガラスを介して熱圧着したシリコンウエハ間の接着強度を向上可能とすることを目的とする。

【0007】

【課題を解決するための手段】 上記目的は、シリコンウエハの研磨された一表面上に熱酸化膜を形成し、該熱酸化膜上に低融点ガラス層を堆積し、該低融点ガラス層の表面を研磨し、該研磨された低融点ガラス層を支持基板の研磨された一表面上に重ねあわせた状態で該シリコンウエハと支持基板とを熱圧着し、相互に熱圧着された該シリコンウエハエハまたは前記支持基板を所定の厚さになるまで研磨する諸工程を含むことを特徴とする本発明に係る半導体基板の製造方法、または、上記において、前記支持基板と熱圧着する工程に先立って、前記研磨された低融点ガラス層が軟化する温度で前記シリコンウエハを熱処理することを特徴とする本発明に係る半導体基板の製造方法によって達成される。

【0008】

【作用】 CVD(化学気相成長)等の方法によってシリコンウエハ表面に堆積されたBPSG層の表面を研磨することによって、900°C程度の低温で相互に熱圧着されたシリコンウエハ間の接着強度が向上すること、また、研磨されたBPSG層を熱圧着する前に熱処理することによってさらに接着強度が向上する。

【0009】

【実施例】 図1は本発明の第1の実施例の工程説明図であって、同図(a)に示すように、第1のシリコンウエハ1の研磨された表面を熱酸化して厚さ約100nmのSiO₂層2を形成したのち、SiO₂層2上に厚さ約1μmのBPSG層3を堆積する。BPSG層3の形成は、周知のCVD法を用いて行えればよい。なお、SiO₂層2は、後述するようにシリコンウエハ1がSOI層となる第2のシリコンウエハに接着された場合に、BPSG層3中の硼素(B)等が第2のシリコンウエハに拡散するのを防止する目的で設けられる。

【0010】 その後、同図(b)に示すように、BPSG層3を厚さが約800nmになるまで研磨する。この研磨は、

通常のシリコン研磨と同様に、コロイダルシリカを研磨剤とする機械的化学的研磨法を適用すればよい。通常、CVD法によって形成されたBPSG層3表面には、16nm程度の凹凸が存在するが、この研磨によりBPSG層3表面の凹凸は数7nm程度となる。

【0011】次いで、同図(c)に示すように、シリコンウエハ1を、上記と同様の工程を経た別の第2のシリコンウエハ5と、それぞれにおけるBPSG層3および7を重ね合わせ、真空中900°Cで約10分間熱処理する。この熱処理の間に、シリコンウエハ1および5間に約300Vの直流パルスを印加する。この直流パルスの静電気力により、両シリコンウエハ1および5が熱圧着される。なお、符号6はシリコンウエハ5表面に形成されたSiO₂層である。

【0012】次いで、同図(d)に示すように、シリコンウエハ1を所定厚さに達するまで研磨して、SOI基板が完成する。シリコンウエハ1の最終厚さは、SOI基板に形成する半導体素子の種類によって異なり、例えばMOSトランジスタを形成する場合には50~100nm、バイポーラトランジスタを形成する場合には700nm~1μm程度とする。

【0013】上記のようにBPSG層3および7の表面を研磨することによって、接着強度は、研磨しない場合の1500Kg/cm²から2000Kg/cm²に向上する。なお、上記において、シリコンウエハ1を、BPSG層を形成されていないシリコンウエハ5と張り合わせてもよいが、シリコンウエハ1とシリコンウエハ5の双方にBPSG層が形成されている方がより高い接着強度を得られる。また、BPSG層3および7の代わりにPSG(焼珪酸ガラス)等、他の低融点ガラス層を用いてもよい。

【0014】上記のように研磨されたBPSG層3および7の表面には、なお、数10~100Å程度の凹凸が存在するが、これらをさらに窒素雰囲気中900°Cで約30分間熱処理すると、表面の凹凸は1nm程度に減少して接着強度が高くなる。

【0015】図2は本発明の別の実施例の工程説明図であって、同図(a)に示すように、第1のシリコンウエハ9の研磨された表面を選択的にエッチングして、例えば素子領域に対応するメサ9Aを形成する。メサ9Aの高さは約100nmである。そのうち、シリコンウエハ9の表面を熱酸化して厚さ約100nmのSiO₂層10を形成し、さらに、SiO₂層10上に厚さ約1μmのBPSG層11を堆積する。

【0016】次いで、同図(b)に示すように、BPSG層11の表面を平坦になるまで研磨する。この研磨後におけるメサ9A上のBPSG層11の厚さは800~900nmである。このシリコンウエハ9を、同図(c)に示すように、SiO₂層14とBPSG層15が形成された別のシリコンウエハ13と、それぞれにおけるBPSG層11と15を重ね合わせ、真空中900°Cで約10分間熱処理する。この熱処理の間に、シリコンウエハ9および13間に約300Vの直流パルスを印加して熱圧着する。SiO₂層14は厚さ約100nmの熱酸化膜、BPSG層15は例えばCVD法によって堆積された厚さ約1μmのBPSG層を厚さ約800nmまで研磨したものである。

【0017】次いで、同図(d)に示すように、シリコンウエハ9を、SiO₂層10が表出するまで研磨する。このようにして、シリコン層がメサ9Aに分離されたSOI基板が完成する。なお、メサ9A状のシリコン層の最終厚さは、SOI基板に形成する半導体素子の種類によって異なることは前記と同様であり、図2(a)の工程においてメサ9Aを所望の高さに形成しておくか、あるいは、図2(d)の工程においてメサ9Aのシリコン層が所望の厚さになるまで研磨すればよい。

【0018】本実施例においても、シリコンウエハ9を、BPSG層を形成されていないシリコンウエハ13と張り合わせてもよいが、シリコンウエハ9とシリコンウエハ13の双方にBPSG層が形成されている方がより高い接着強度を得られる。また、BPSG層11および15の代わりにPSG(焼珪酸ガラス)等、他の低融点ガラス層を用いてもよい。さらに、研磨されたBPSG層11および15を前記と同様に熱処理することにより、これらの表面の平滑性が向上し、接着強度が高くなる。

【0019】

【発明の効果】本発明によれば、二枚のシリコンウエハを低温で熱圧着可能とし、これによりSOI基板を用いてダブルゲート構造のMOSトランジスタから成る半導体集積回路の実用化を促進する効果がある。

【図面の簡単な説明】

【図1】 本発明の一実施例の工程説明図

【図2】 本発明の別の実施例の工程説明図

【符号の説明】

1, 5, 9, 13 シリコンウエハ

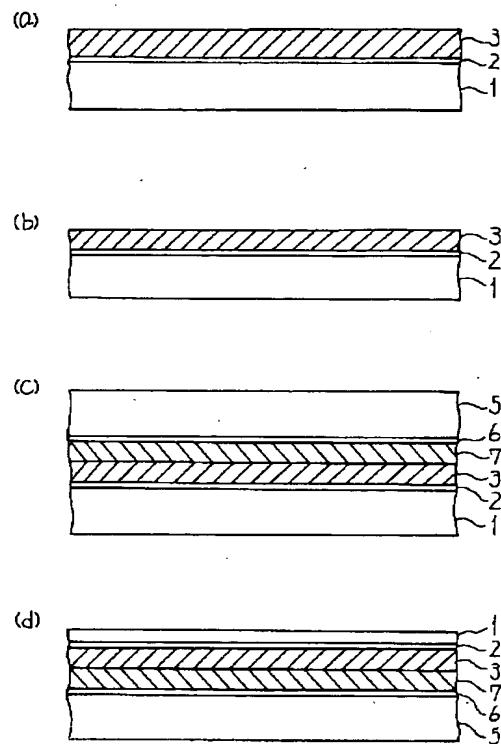
2, 6, 10, 14 SiO₂層

3, 7, 11, 15 BPSG層

9A メサ

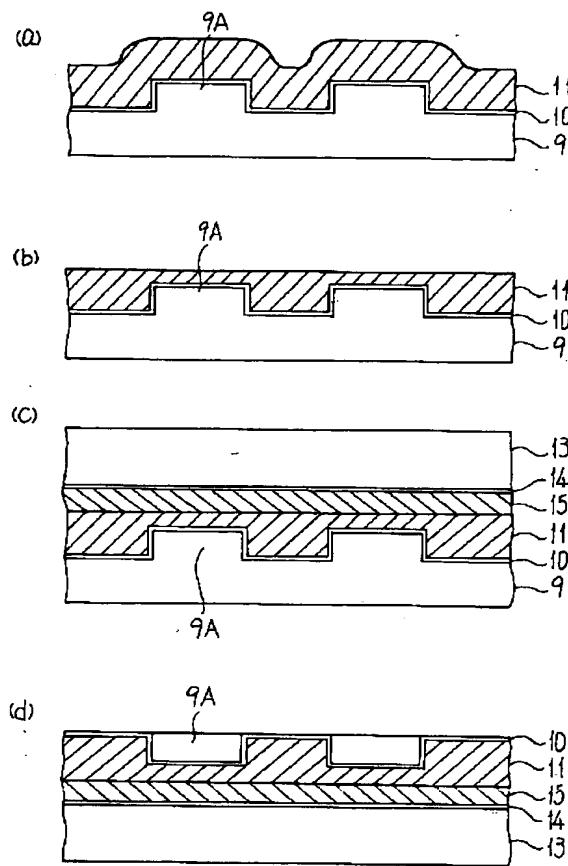
【図1】

本発明の一実施例の工程説明図



【図2】

本発明の別の実施例の工程説明図



BEST AVAILABLE COPY